



14- разрядный быстродействующий цифро-аналоговый преобразователь

ОСОБЕННОСТИ

- 200 МГц частота тактирования
- Время установления выходного тока 2,5 нс с точностью 0,1%
- Высокая стойкость к специальным видам воздействия
- LVDS входной интерфейс
- Дифференциальный масштабируемый токовый выход: 2мА - 20 мА
- Внутренний источник опорного напряжения 1,2В
- Одно питание 3,3 В ±10%
- Низкое потребление 360 мВт (тип.), независимое от частоты тактирования
- Частота умножения 100 МГц
- Широкий температурный диапазон: от -60 °С до +125 °С
- Корпус Н14.42-1В

ПРИМЕНЕНИЯ

- Широкополосные каналы связи
- Базовые станции
- Беспроводные местные сети
- Цифровые радио линки
- Прямой цифровой синтез (DDS)
- Средства измерения и контроля

ОПИСАНИЕ ИЗДЕЛИЯ

1108ПА4—быстродействующий цифро-аналоговый преобразователь (ЦАП) с разрешением 14 разрядов. 1108ПА4 спроектирован для высокоскоростных цифровых проводных и беспроводных систем систем связи, прямого цифрового синтеза высокочастотных сигналов, восстановления формы сигнала.

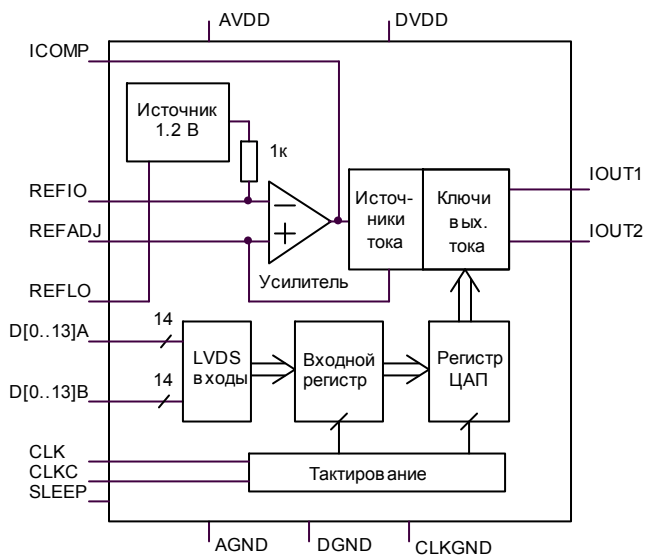
1108ПА4 работает от одного источника питания 3,3 В. Мощность рассеивания – 360 мВт во всем диапазоне частот тактирования. 1108ПА4 обеспечивает номинальный выходной ток 20 мА, позволяет работать и с одиночным и с дифференциальным выходом. Выходной ток может непосредственно питать выходную нагрузку 50 Ом, поэтому не требуется дополнительных выходных повторителей. Выходная нагрузка подключена к аналоговой земле. Допустимый диапазон выходного напряжения от -0,3 В до 1,25 В. Изменяя внешний резистор, задающий ток полной шкалы, потребитель может изменять выходной ток от 20 мА до 2 мА. Наличие входа опорного напряжения позволяет использовать внешний источник опорного напряжения или управлять ЦАП в режиме умножения с частотой единичного усиления 100 МГц.

Для высокой скорости приема входного сигнала 1108ПА4 использует интерфейс низковольтного дифференциального сигнала (low voltage differential signaling - LVDS). Особенность LVDS - малый размах сигнала и независимость тока потребления от частоты сигнала, обеспечивающих при высокоскоростной передаче данных низкий уровень шума в сочетании с низким уровнем электромагнитного излучения (EMI). Интерфейс 1108ПА4 соответствует рекомендациям на LVDS без внутреннего гистерезиса. Резисторы нагрузки LVDS – 100 Ом расположены на кристалле.

Запись информации в регистры происходит по переднему фронту сигнала тактирования CLK. Входы CLK, CLKC – совместимы с LVDS. Внутренний резистивный делитель на входах CLK, CLKC устанавливает смещение около 1,1 В, поэтому источник тактовой частоты может быть подключен ко входу с развязкой по постоянному току

Особенностью 1108ПА4 является наличие состояния ожидания (SLEEP), в котором уменьшается потребляемая мощность (отключается все, кроме схемы тактирования). Переход в это состояние происходит при подключении вывода SLEEP к логической "1". При подключении к "0" или обрыве вывод SLEEP пассивен.

Функциональная схема





Информация предварительная

МАКСИМАЛЬНО-ДОПУСТИМЫЕ ЗНАЧЕНИЯ ПАРАМЕТРОВ

ПАРАМЕТР	1108ПА4	ЕД.
Напряжение питания	3 ÷ 5,5	В
Температурный диапазон при свободном обтекании воздуха, T _д	-60 ÷ +125	°С
Температура хранения	-60 ÷ +150	°С
Температура вывода 1,6 мм от корпуса, 10 сек.	+260	°С
Тепловое сопротивление корпуса	20	°С/Вт

ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ ПРИ ПРИЁМКЕ И ПОСТАВКЕ

Параметры нормируются в диапазоне T_{MIN} = - 60°С до T_{MAX} = +125°С при свободном обтекании воздуха, AV_{DD}=3,3В, DV_{DD} = 3,3В, I_{O(FS)} = 20 мА, выходы нагружены на резисторы 50 Ом, если другое не оговорено.

Наименование параметра	Буквенное обозначение	Режим измерения	Норма		Единица измерения
			не менее	не более	

СТАТИЧЕСКИЕ ПАРАМЕТРЫ

Разрешение			14		Бит	
Статическая точность						
Интегральная нелинейность	INL	от T _{MIN} до T _{MAX}	A	-4	4	МЗР
			B	-16	16	МЗР
			V	-64	64	МЗР
Дифференциальная нелинейность	DNL	от T _{MIN} до T _{MAX}	A	-2	2	МЗР
			B	-8	8	МЗР
			V	-32	32	МЗР

Токовый выход

Смещение				1)	%ПШ
Погрешность преобразования в конечной точке шкалы, R _{BIAS} = 1кОм + 0,1%		Без внутреннего источника опорного напряжения	-1	1	% ПШ
		С внутренним источником опорного напряжения	-5	5	% ПШ
Выходное сопротивление			0,8	1,2	кОм

Источник опорного напряжения

Выходное напряжение источника	V _{REFIO}		1,14 ¹⁾	1,25 ¹⁾	В
-------------------------------	--------------------	--	--------------------	--------------------	---

Вход опорного напряжения

Малосигнальная полоса частот			100 ¹⁾		МГц
------------------------------	--	--	-------------------	--	-----

Питание

Напряжение питания	V _{DD}		3	3,6	В
Ток потребления	I _{CC}	V _{DD} = от 3 В до 3,6 В	75	120	мА
Ток потребления в режиме SLEEP	I _{CC(SLEEP)}			1)	мА
Коэффициент влияния напряжения питания на выходной ток	PSRR	DV _{DD} = от 3В до 3,6 В, AV _{DD} = от 3В до 3,6 В	-0,5 ¹⁾	0,5 ¹⁾	%ПШ / В

ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ

Аналоговый выход

Частота записи	f _{CLK}		200 ¹⁾		МГц
Коэффициент нелинейных искажений ²⁾	THD	фракт = 25 МГц, f _{out} = 1 МГц, U _{out} =0дБПШ	(A)74 ¹⁾ (B)62 ¹⁾ (V)50 ¹⁾		дБ
Время установления с точностью 1% ²⁾	t _{S(DAC)}	Переключение между кодами 00..0 и 11..1		5 ¹⁾	нс
Задержка выхода	t _{PD}			1)	нс



Окончание таблицы					
ЦИФРОВЫЕ ПАРАМЕТРЫ					
LVDS входы: D[0..13]A, D[0..13]B					
Дифференциальный входной сигнал LVDS	V_{ITN}	$V_{CMB}=1,2B^{1)}$	200	1)	мВ
Входное сопротивление между прямым (А) и инверсным входом (В)	Z_t		80	120	Ом
Вход SLEEP					
Входное напряжение высокого уровня	V_{IH}		2		В
Входное напряжение низкого уровня	V_{IL}			0,8	В
Входы тактирования CLK,CLKC					
Дифференциальный входной сигнал	$ CLK-CLKC $		200		мВ _{п-п}
Синфазное напряжение при тактировании через трансформатор	V_{INCLK}			1)	В
Дифференциальное входное сопротивление			1)		кОм
Временные параметры					
Время опережения установки информации по входам D	t_{su}		1)		нс
Время удержания информации по входам D	t_h		1)		нс
Тактовая задержка	t_{DD}			1)	такт
Задержка распространения	t_{PD}			1)	нс
Примечания: 1 Значение уточняется в процессе ОКР. 2 Выбор параметра для оценки динамических параметров уточняется в процессе ОКР.					

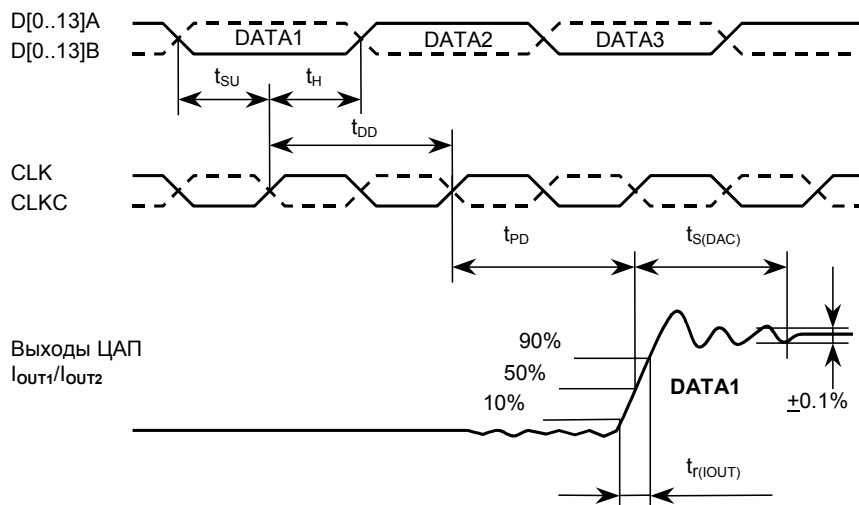


Рис.1. Временная диаграмма

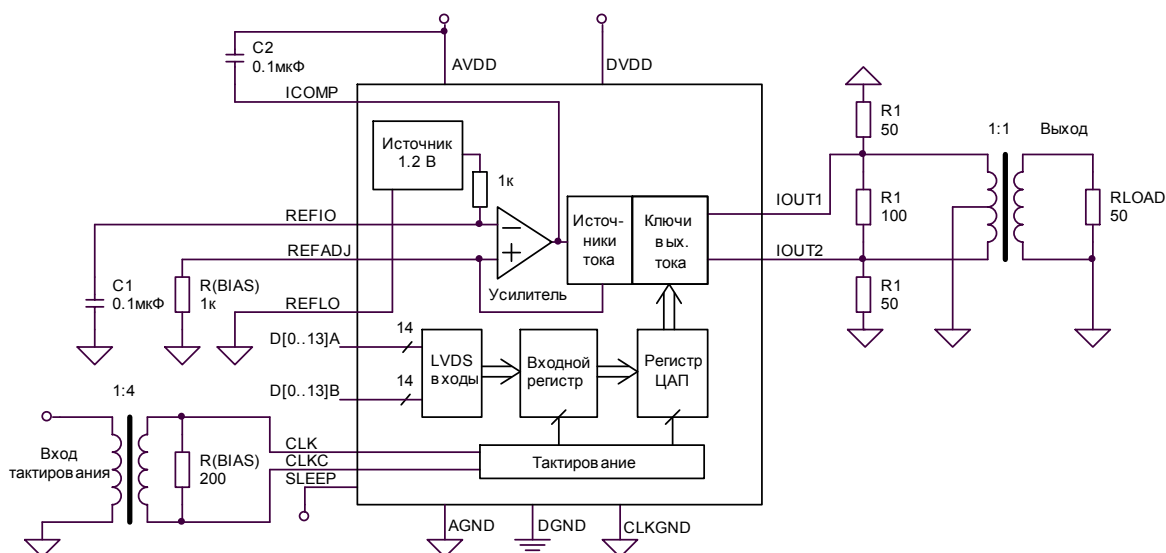


Рис. 2. Схема включения

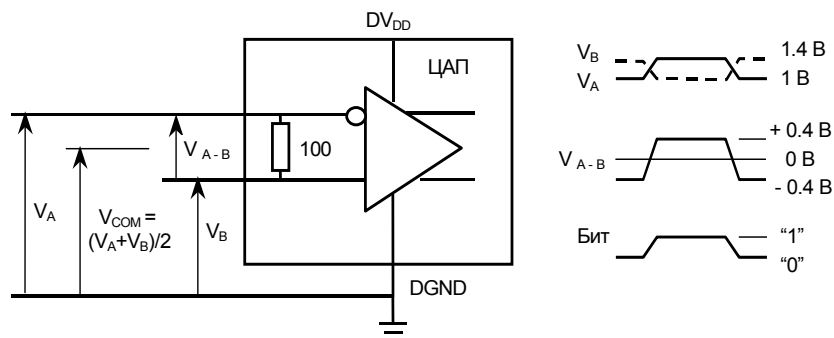


Рис 3. Временная диаграмма и логические уровни LVDS