



„Latvijas elektrisko un optisko iekārtu ražošanas nozares
kompetences centrs”

Līguma Nr. 1.2.1.1/18/A/006

Apakšprojekts Nr. 1.6 “Analogo elementu pētījumi, kas izmantoti Hi-End
audio produktu ražošanā”

Rūpnieciskais pētījums par DAC problemātiku,
frekvenču nobīdes rašanās iemesliem un
apstākļiem, kā arī iepriekšējā projekta
eksperimentālās izstrādes rezultāta novērtēšana
aparātvidē”

Pārskata periods
01.04.2020. – 31.09.2020.

Rīga, 2020.

Autoru (pētījumu komandas) uzskaitījums

Aleksandrs Zaslavskis

Aleksejs Muhins

Antoņina Kužņecova

Boriss Ahmetžanovs

Igors Mihailovs

Ivo Berkolds

Leonīds Kužņecovs

Mihails Tarasovs

Modris Kalpiņš

Tatjana Iljina

Valdis Belka

Viktors Sedovs

Olga Strauta

Tamāra Savina

Igors Iljins

Saturs

Saturs	3
Ievads.....	4
1. DAC struktūra	4
2. Strāvas atslēgas problēmas – parazītelementi.	6
3. Kontrolera CS bāzes elementi	8
4. Metodes OEM (ordered element matching) apraksts.....	10
5. Kontrolera CS topoloģija.	13
6. Secinājumi	13

Ievads

Pētījuma iepriekšējās aktivitātes un sasniegtie rezultāti ir pierādījuši, ka ir iespējams izstrādāt DAC *Hi-End* tirgum. Pētījuma gaitā analizētajās struktūrās atklājās arī sistēmiskas nepilnības.

Viens no būtiskākajiem trūkumiem - pārslēdzozo sprieguma avotu izmantošana augstas izlādes strāvai. Rezultātā precīzie rezistori, ar kuru palīdzību tiek radītas izlādes strāvas, atradās dažādos apstākļos, kuri ļoti ātri mainījās – bija atkarīgi no koda, kas tiek piemērots DAC. DAC izdevās kalibrēt, bet, mainoties ārējiem apstākļiem un mainot kodu, uz rezistoriem izdalāmās jaudas starpība būtiski mainījās. Tas noveda pie rezistoru dažādas uzsilšanas pakāpes, tā dēļ mainījās pretestības starpības starp rezistoriem. Rezultātā izmainījās raksturlielumi, un bija nepieciešama atkārtota kalibrēšana.

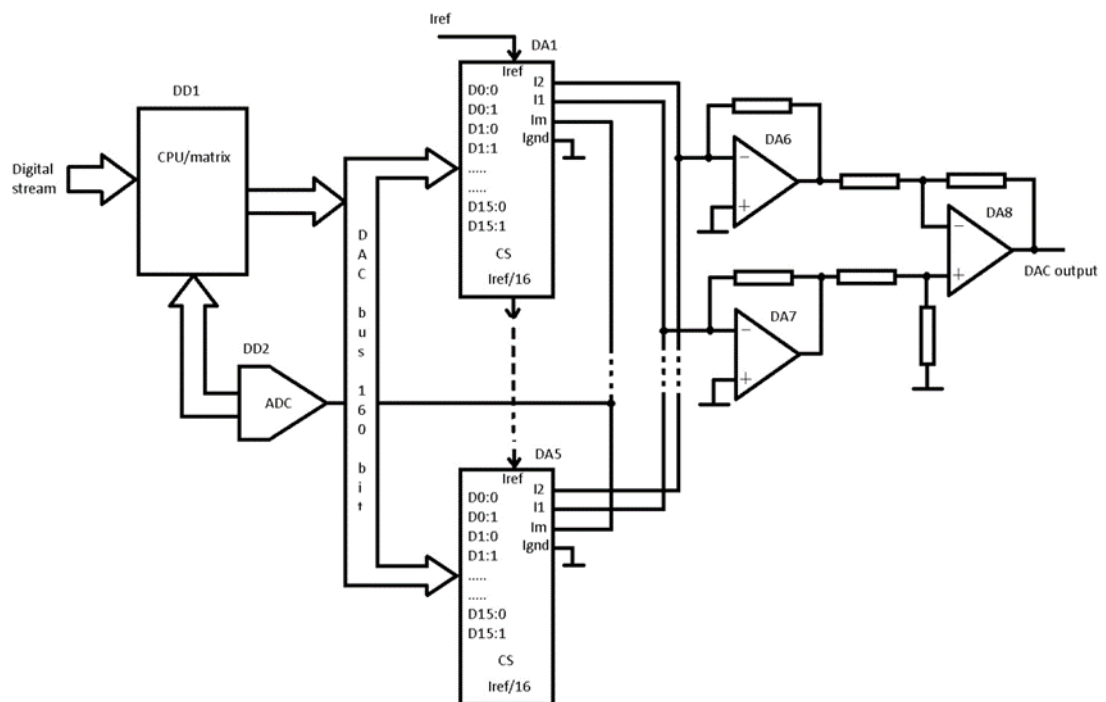
Vienlaicīgi arī izrādījās, ka DAC struktūra nevar būt optimāla pie dažādām kodu/izejas strāvas kombinācijām.

Iepriekš tika pieņemts, ka tiks izmantoti divi neatkarīgi DAC. Pēc datu analīzes tika noskaidrots, ka, nespējot nodrošināt divu DAC precīzu saderību un vienādu nobīdi, šāda risinājuma izmantošana varētu radīt problēmas. Tās saistītas ar būtisku otrās harmonikas parādīšanos (rodas ideāliem DAC, pie skalas atšķirībām).

Pētījuma trešajā daļā tika iegūtas zināšanas par principiāli jaunu DAC struktūru. Tā ļauj dinamiski mainīt izejas strāvas veidošanas metodi, kura ir atkarīga no algoritmiski pieņemtā lēmuma. Pēc būtības jaunajā struktūrā izmantots virsdaudzums (redundance), ko citiem vārdiem varētu aprakstīt kā divu DAC izmantošanu kā vienu vienotu vienību.

1. DAC struktūra

Tā kā *Hi-End* pielietojumam virsdaudzums nav problēma, tika pieņemts lēmums lietot jauno sekcijas veida struktūru, izmantojot iekšējo, lēno, precīzo ADC un DAC vadības un nepārtrauktas kalibrēšanas procesoru.



1.attēls

Struktūras pamatā ir šajā aktivitātē izstrādātās strāvas avotu CS kontrolera mikroshēmas. Katrs CS kontrolers ļauj veidot strāvas, kas ir proporcionālas 4-kāršas izlādes vārdam. Tas veido arī papildus

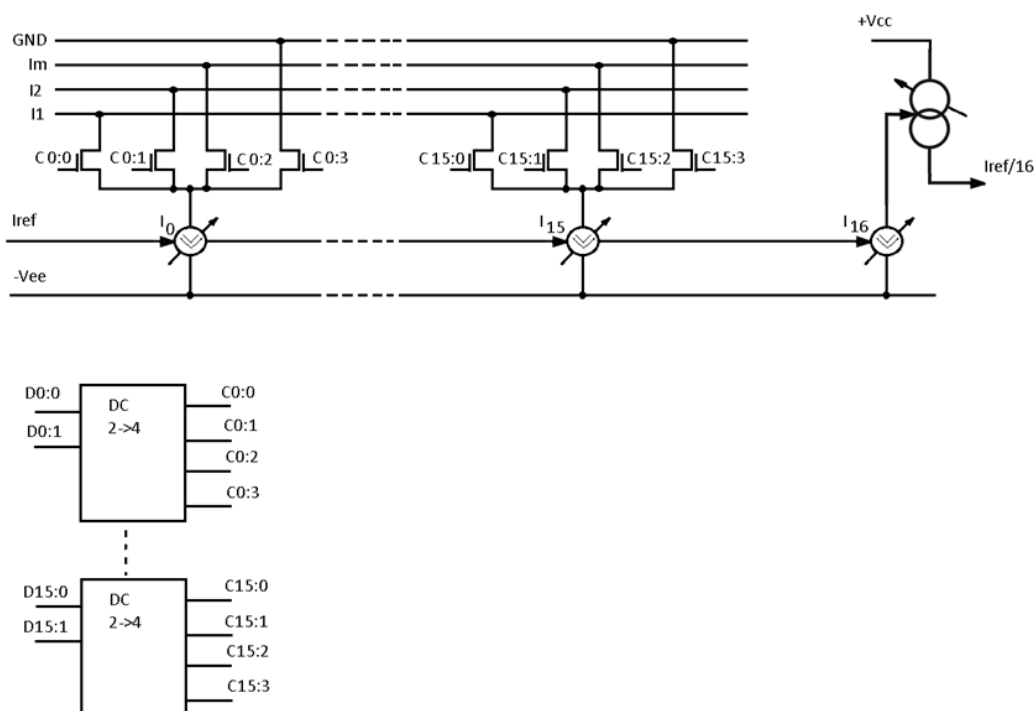
izejas strāvu, kas nepieciešama nākamās sekcijas pieslēgšanai. Lai izveidotu 20 izlāžu DAC, nepieciešami pieci CS kontroleri.

Šī risinājuma inovāciju raksturo tas, ka ir iespējams veidot izejas strāvu vairākos veidos:

1. Veidot I1 strāvu koda pozitīvajām vērtībām, bet I2 strāvu koda negatīvajām vērtībām. Izejas pārveidotājs IU tiek izmantots kā atslēga. Gadījumā, ja, piemēram, strāva tiek pievadīta uz I1, tad uz I2 tā netiek padota. Un gluži pretēji, ja strāva, atkarībā no koda, tiek padota uz izeju I2, tad strāvas tiek atslēgtas no izejas I1. Tas ļauj novērst augstāko izlāžu pārslēgšanos pie zemām izejošās strāvas vērtībām – zināma problēma “augstākā izlādes pārslēgšanās” pie nulles vērtības izejas signāla.
2. Tas ļauj veidot izejas strāvu kā starpību starp strāvām I1 un I2. Turklāt, atšķirībā no parastā risinājuma, strāvu summa I1+I2 var nebūt konstanta. Pateicoties virsdaudzumam, aritmētiskā progresijā pieaugošo izejas strāvu var iegūt ar papildus strāvas avotu palīdzību. Tas ļauj izvairīties no lieliem traucējumiem pārslēgšanās brīdī. Raksturīga problēma – augsts traucējumu līmenis pie mazām lielā signāla izmaiņām, jo ir nepieciešams pārslēgt lielu skaitu izlādes strāvu. Piemērs: pārslēgšanās no 01111...111 uz 10000...000. Parastajos risinājumos šāda pārslēgšanās prasa visu izlāžu pārslēgšanu, kas izraisa augstu traucējumu līmeni, lai gan būtībā ir nepieciešams izmainīt tikai mazākās vērtības izlādi (neliela izejošās strāvas izmaiņa). Tas ir kļuvis iespējams jaunajā struktūrā. Šajā piemērā jaunajā struktūrā var vienkārši pievienot izejošajai strāvai strāvu no mazākās izlādes, neizraisot visu strāvu pārslēgšanos.
3. Elastīga 1.punkta un 2.punkta kombinācija. Var brīvi izvēlēties pārejas stratēģiju no vienas kombinācijas uz otru.

Šāda struktūra ļauj programmatūras līmenī mainīt izejas strāvas ģenerēšanas metodi, atkarībā no pašreizējā un iepriekšējā koda, un vienlaicīgi lietot arī dažādas strāvas veidošanas metodes (ne tikai statiskās, bet arī dinamiskās). Kā struktūras priekšrocība ir uzskatāma arī iespēja daļēji izmantot OEM metodi (ordered element matching).

Vienlaikus jaunā struktūra ļauj arī reālajā laikā kalibrēt DAC, pieslēdzot pa vienam dotajā brīdī nevajadzīgos izejas strāvas veidošanas avotus pie iekšējā precīzā ADC.



2.attēls

Kontrolers CS ļauj veidot jebkuru kombināciju no 16 strāvām uz I1, I2, Im, GND izejas kontaktiem. Tas ļauj īstenot dažādas DAC struktūras.

Galvenie secinājumi:

- I1 un I2 ir paredzēti DAC izejas strāvas veidošanai,
- GND paredzēts, lai izvadītu neaktivizētos strāvas avotus un lai saglabātu neizmantoto strāvas In avotu režīmus,
- Im paredzēts strāvas In avotu mērīšanai,
- Iref – ieejas aizsargstrāva,
- Iref/16 – izejas strāva – proporcionāla Iref/16,
- D0:0/D0:1 ... D15:0/D15:1 – digitālās vadības signāli.

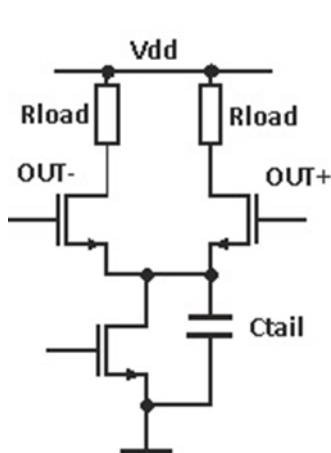
Kontrolera iekšienē veidojas 16 strāvas, kas ir vienādas ar Iref. Ir arī papildus septiņpadsmitais avots - izejošās darba strāvas veidošanai. Tā ir 16 reizes mazāka par ieejošo Iref. Tas ļauj veidot kaskādi (pakāpeniska ieslēgšana) no kontrolieriem CS, kur katrs no tiem ļauj īstenot 4 DAC izlādes.

Tā kā strāvas avoti darbojas statiskā režīmā (ja neņem vērā dinamisko procesu ietekmi caur parazītstruktūrām), tad, precizitātes nodrošināšanai, var tikt izstrādāti pietiekami liela izmēra elementi.

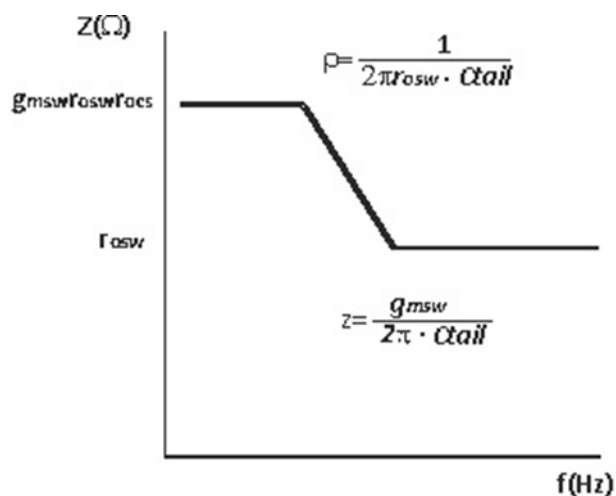
Izstrādājot DAC, šī struktūra, atšķirībā no zināmajām struktūrām, nodrošina augstu elastības līmeni. Tā kā struktūra ir atvērta un pilnībā vadāma ar kontrolera palīdzību, var izveidot DAC uz jauniem algoritmiskiem principiem. Var arī novērst “iedzimtās” DAC problēmas, kad, pie mazām izejas strāvas izmaiņām, nepieciešams pārslēgt lielu skaitu strāvas atslēgu, kas savukārt noved pie nozīmīgiem “pīķiem” (zināmi kā klasiskā DAC R2R pārslēgšanās “0” zonā).

2. Strāvas atslēgas problēmas – parazītelementi

2.attēlā redzamā struktūra ļauj ar dešifratora palīdzību pieslēgt jebkuru no 16 strāvas avotiem I0...15 jebkuram izvēlētajam I1, I2, Im, Gnd izejas kontaktam. Šeit rodas problēma – parazītkapacitātes ietekme uz izejas strāvas iestatīšanas ātrumu – augstā frekvencē samazinās izejas atslēgas izejas impedance. Vienkāršotā veidā šī situācija parādīta 3. un 4. attēlā.



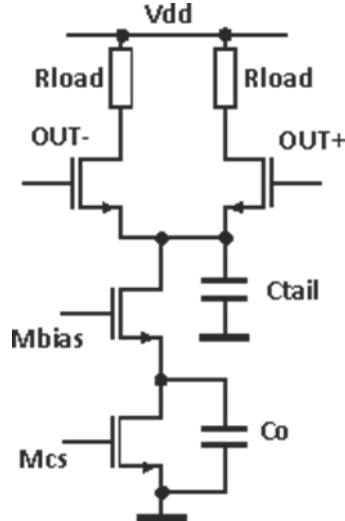
3.attēls Strāvas atslēgas bāze



4.attēls Strāvas atslēgas izejas impedances atkarība no frekvences

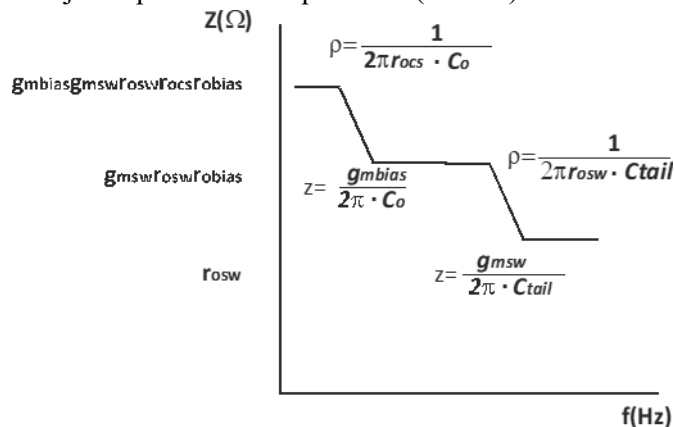
Svarīgi atzīmēt, ka strāvas avota izejas pretestībai jābūt lielai. Pretējā gadījumā DAC SFDR tiek degradēts. Ja attiecība starp strāvas avota izejas pretestību un slodzes pretestību nav liela, tad parametri

INL (integrālā nelinearitāte) un SFDR pasliktinās. Īpaši svarīgi tas ir daudzbitu DAC. Lai to novērstu, ir jāminimizē C_{Tail} , jo tas tieši ietekmē pīķi un uzstādīšanas laiku.



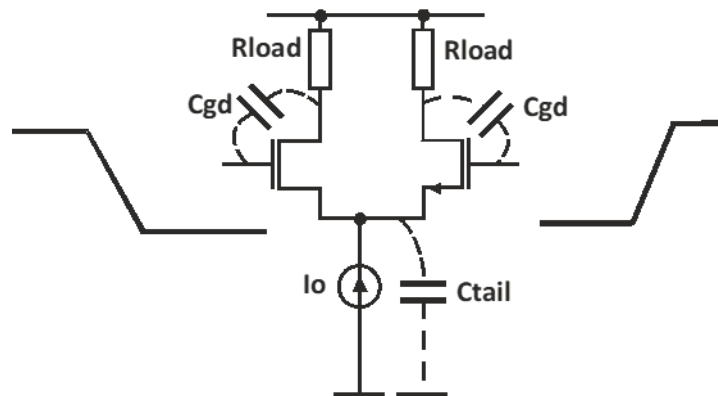
5.attēls Strāvas avota bāze kaskādes slēgumā

Šajā gadījumā parasti tiek lietots kaskādes slēgums (5.attēls). Tas ļauj paplašināt frekvences diapazonu līdz pieļaujamajam izejas impedances diapazonam (6.attēls).



6.attēls Izejas impedance atkarībā no frekvences kaskādes slēgumā

C_{Tail} ir viena no svarīgākajām DAC iezīmēm (7.attēls). Uzlādes un izlādes laiks C_{Tail} ierobežo DAC ātrdarbību. Tādējādi, draiverim, kas vada atslēgas, jābūt izstrādātam tā, lai novērstu C_{Tail} uzlādes/izlādes procesu.



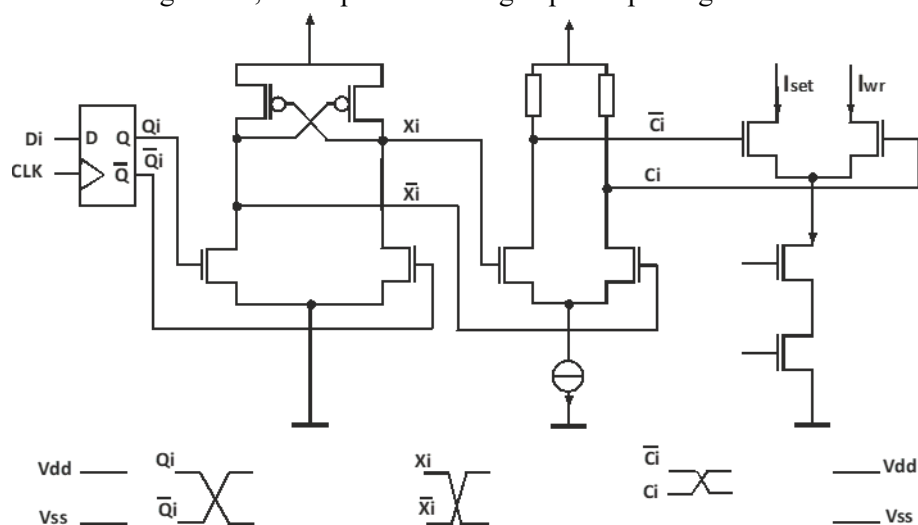
7.attēls Pārslēgšanās procesa nevienmērīgums

Sprieguma izmaiņas, diferenciālā pāra kopējā izejas punktā, izraisīs parazītkapacitātes uzlādes/izlādes procesus. Tas novedīs pie izejas strāvas uzstādīšanas laika palielināšanās. Tāpēc diferenciālā pāra atslēgas jāvada tā, lai izslēgtu vienlaicīgu abu tranzistoru ieslēgšanos un lai C_{Tail} nesāņemtu uzlādes vai izlādes strāvu.

Sprieguma izmaiņām uz C_{Tail} jābūt minimālām. Tāpēc vadošo signālu secībai jābūt tādai, lai „krustošanās” punkts būtu mazliet zem maksimālā pārslēgšanās līmeņa.

Vienlaicīgi ir vēlams izmantot pēc iespējas zemākas amplitūdas signālus, lai minimizētu pārslēgšanās trokšņus – pārslēgšanās signālu noplūde uz izeju. Savukārt, lai novērstu noplūdes caur C_{GD} izeju, draiverim jāņem vērā vadības signālu minimizācijas prasības.

Optimālais pārslēgšanās punkts un zemāka līmeņa pārslēdzošie signāli var tikt realizēti tā, kā tas parādīts 8.attēlā, t.i., izmantojot diferenciālo buferi un krustojošos PMOS slodzes ieslēgšanos. Precīza N-kanālu tranzistoru pārslēgšanās nodrošina kaskādes pārslēgšanās punktu, bet pārslēgšanās amplitūda ir ierobežota ar tādiem vadības signāliem, kas ir pietiekami augsti priekš pārslēgšanās.



8.attēls Pārslēguma punkta un pārslēguma amplitūdas izvēle

Pētījuma komanda secināja, ka strāvas avotu ir nepieciešams pieslēgt nevis pie divām iespējamām izejas līnijām, bet gan pie četrām. Tas sarežģī mērķa sasniegšanu. Struktūra parādīta 9.attēlā (bez darba mezgliem – aizsargsprieguma avotiem, operacionālā pastiprinātāja).

3. Kontrolera CS bāzes elementi

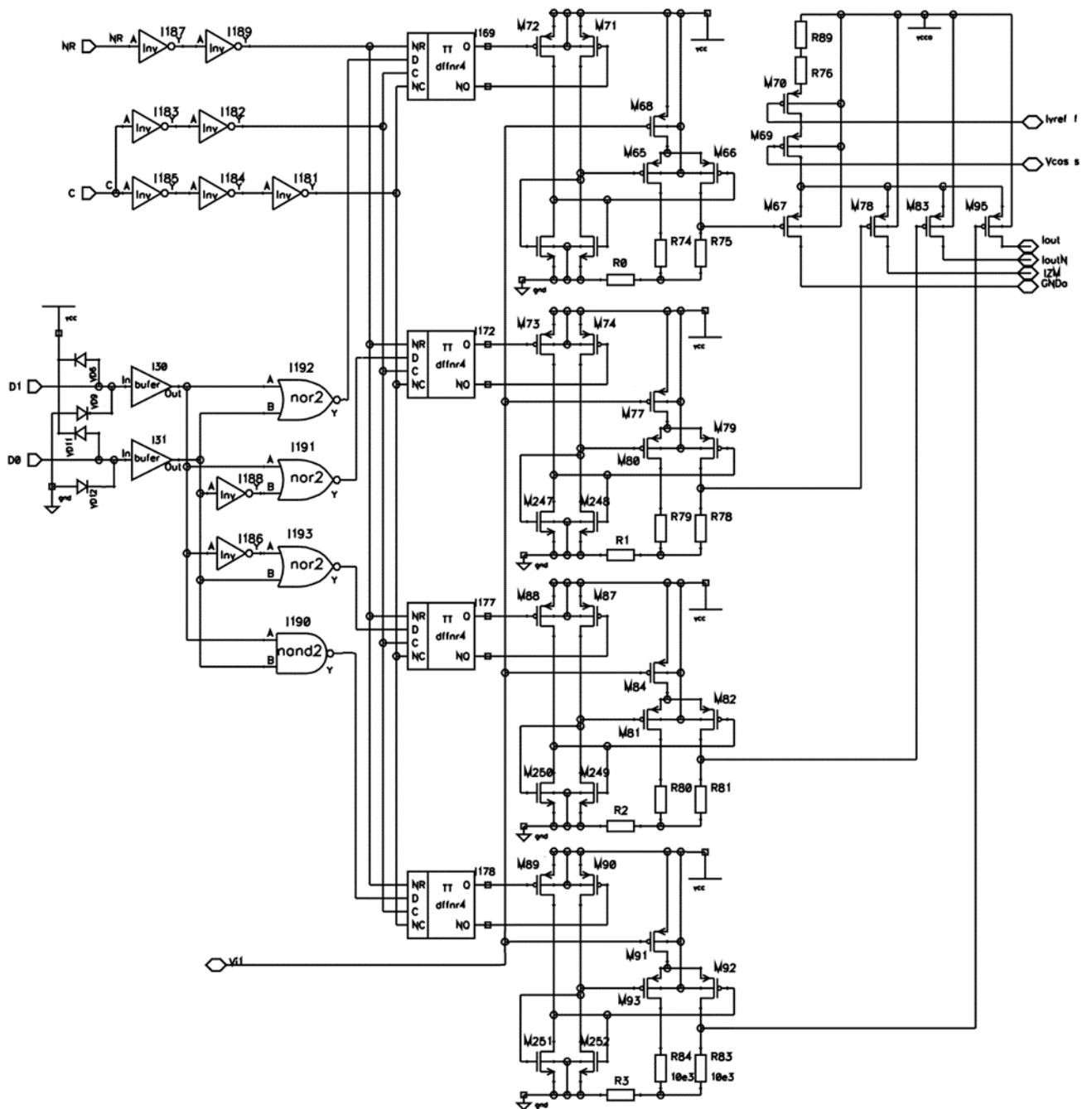
Katrai izlādes strāvai, lai pārslēgtos uz vienu no četriem izejas strāvas kontaktiem, ir nepieciešami divi informācijas ievadi D0, D1, ievades buferi, dešifrators un 4 trigeri, kuri atceras vadošā signāla C vērtību. Lai shēmu atgrieztu sākuma stāvoklī, tiek izmantots signāls NR.

Shēmā ir realizēts konveijera princips – D0, D1 signālu dešifrēšanai jānotiek agrāk nekā tiek padots signāls C. Tas ļauj novērst dešifratora aiztures ietekmi kopumā un džiteru, kas ietekmē shēmas ātrdarbību un kas tās ciparu daļā ir atkarīga tikai no signāla izplatīšanas laika trigeri.

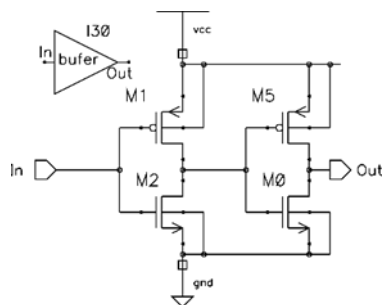
D0, D1 ieejas līnijas ir aizsargātas pret ESD ar parasto diožu risinājumu un nobuferētas ar divu invertoru palīdzību. Tas nodrošina garantētus shēmas darbības līmeņus (10.attēls).

Dešifrators 2->4 ir uzbūvēts uz diviem invertoriem (11.attēls), 2I/ (13.attēls) un 2ILI/ (12.attēls) elementiem.

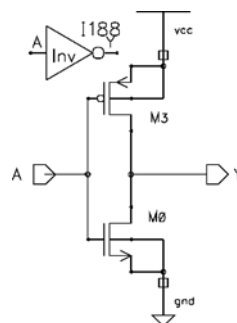
Parazītkapacitātes C_{GD} ietekmes kompensācijas shematiskais risinājums tiks aplūkots vēlāk.



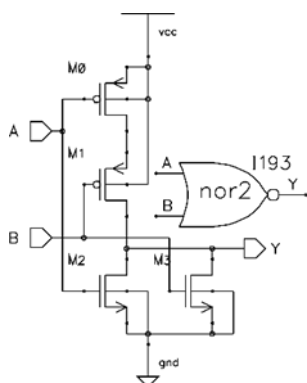
9.attēls Kontrolera CS strukturshēma



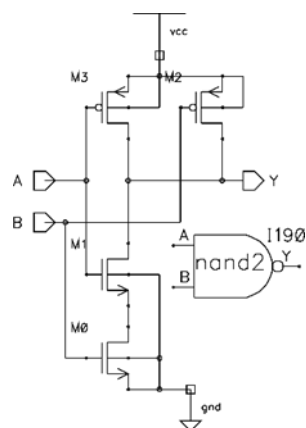
10.attēls Buferis



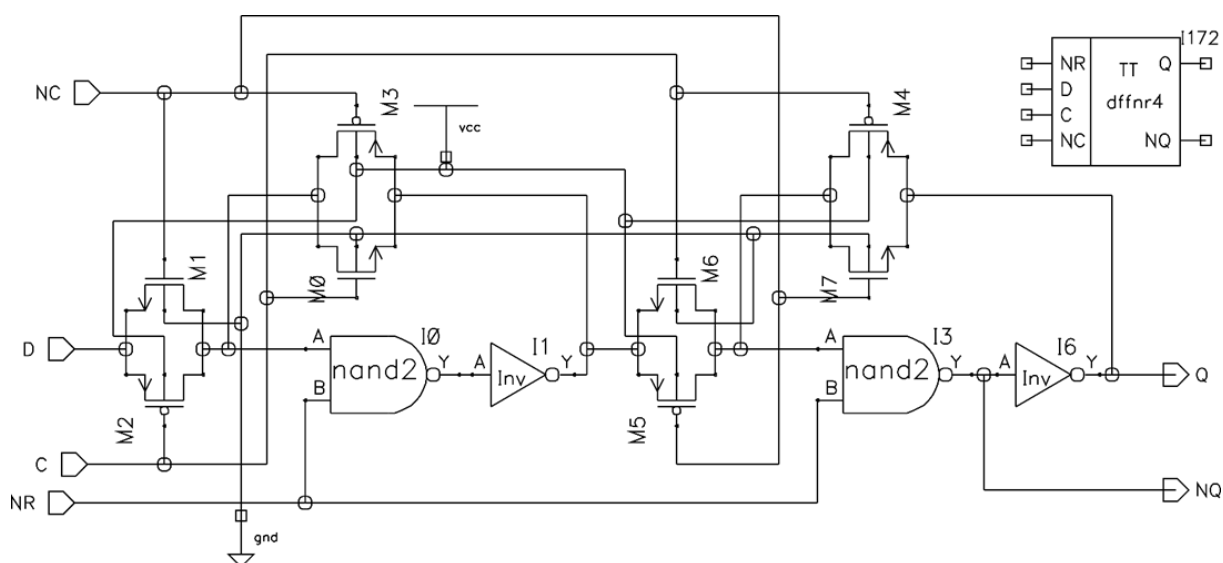
11.attēls Invertors



12.attēls Shēma 2-OR ar inversiju



13.attēls Shēma 2-&/



14.attēls Trigers

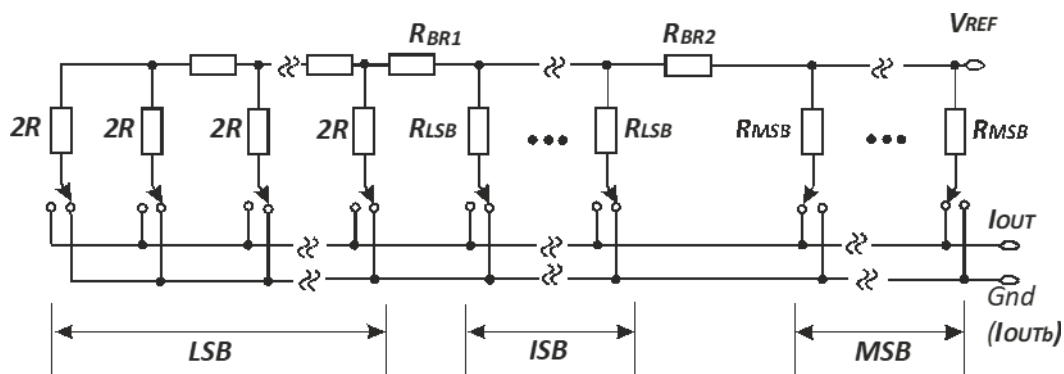
4. Metodes OEM (ordered element matching) apraksts

Nemot vērā to, ka izveidotā DAC struktūra ļauj īstenot dažādas metodes ciparu-analogajai pārejai, īsumā tiek aprakstīta OEM metode. Tā ļauj būtiski uzlabot parametrus.

Kopējo rezultātu būtiski ietekmē augstāko izlāžu precizitāte un stabilitāte. Līdz ar to ir svarīgi lietot risinājumus, kas ļautu samazināt rezistoru iestatīšanas precizitātes prasības un kas ļautu dinamiski koriģēt pārveides iespējamās kļūdas/nobīdes.

Paskaidrošanai tiek aprakstīta izplatītāko daudzizlāžu DAC arhitektūra.

Parasti DAC tiek sadalīts trīs segmentos – MSB (most significant bit), ISB (intermediate bit), LSB (least significant bit). 15.attēlā parādīta struktūra, kas izskaidro tādas segmentācijas būtību palielinošajā DAC.



15.attēls

15.attēlā redzama MSB un ISB izlāžu paralelītātes izjaukšana. Pieņemsim, ka tādu struktūru ir nepieciešams izveidot N -izlāžu DAC 3 augstākajām izlādēm. Ir nepieciešams izveidot $2^3 R_{MSB}$ rezistoru skaitu ar relatīvo precizitāti $R_{MSBx} / R_{MSBy} = 1 \pm 1/(2^{N-3})$. Tas nozīmē, ka sākotnēji šķietami pievilcīgā ideja, maksimāli izslēgt paralelītāti (ar mērķi samazināt rezistoru precizitātes prasības), atduras pret ļoti strauju nepieciešamo rezistoru skaita pieaugumu. Iepriekš minētā dēļ palielinās arī nepieciešamā platība.

Parasti tādās struktūrās katrs rezistors un rezistoru kombinācija ir cieši saistīti ar ieejas koda dešifratoru. Piemēram, mūsu gadījumā kodam 1 atbilst R_{1MSB} , bet kodam 3 $\rightarrow R_{1MSB} + R_{2MSB} + R_{3MSB}$. Šie rezistori ar lāzeru ir jāpiedzen ar augstu precizitāti un ir jānodrošina to stabilitāte.

Iepriekš minētās problēmas risināšanai dažos DAC tiek izmantota DEM (dynamic element matching) metode. Tas noved pie būtiska trokšņa pieauguma, t.i., pēc būtības šī metode rezistoru neprecizitātes pārveido paaugstinātos pārveides trokšņos. Vienlaicīgi tiek sasniegta tikai vidējā precizitāte. Katram atsevišķi izvēlētajam laika momentam pārveides rezultāts būs ar būtisku kļūdu.

Apskatīsim zināmo OEM (ordered element matching) risinājumu.

16.attēlā parādīts OEM tehnoloģijas procesa piemērs ar 7 rezistoriem, kas veido strāvas proporcionāli 3 izlāžu kodam. Katrs taisnstūris apzīmē rezistoru ar savu nejauso nesaskaņas kļūdu. Tiek pieņemts, ka rezistori tiek piedzīti ar lāzeru ar augstāko iespējamo izšķirtspēju. Tomēr, neskatoties uz to, rezistoriem ir nesaskanība. Svarīgi atzīmēt, ka šajā metodē rezistoru/avotu skaitam jābūt nepāra skaitā.

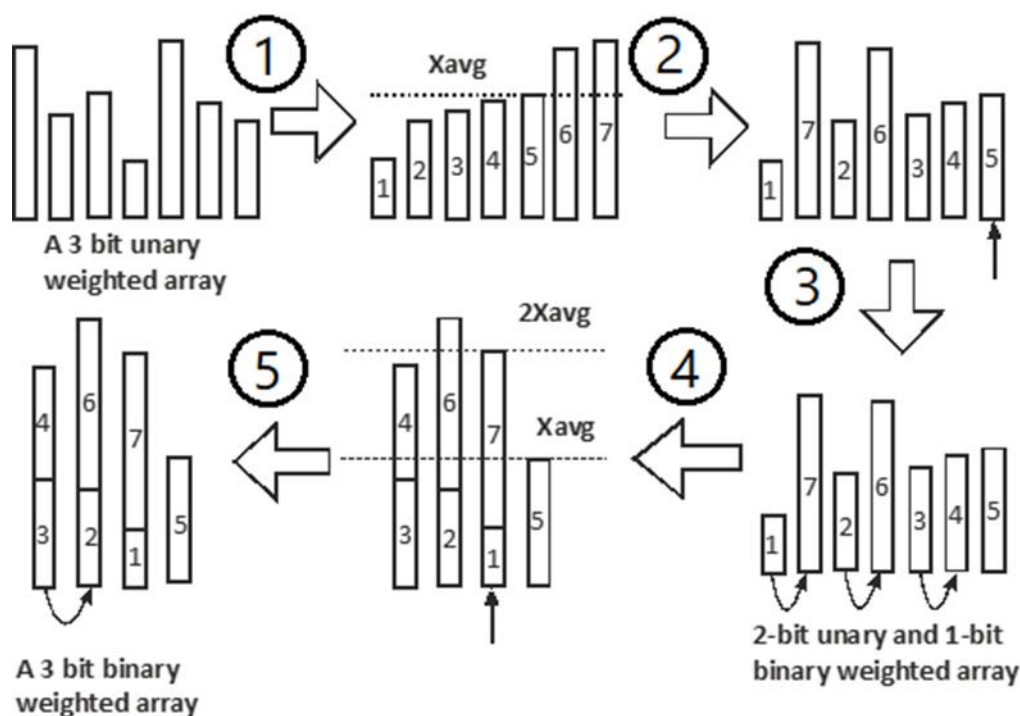
Pirmajā solī visi rezistori tiek mēriti un grupēti atkarībā no amplitūdas un tiek noteikta vidējā $XAV G$ vērtība. Šī vērtība atbilst unikālai koda vērtībai. Pēc tam no 7 rezistoru komplekta var atrast tādu, kas dos mazāko kļūdu attiecībā pret $XAV G$.

Kodam 2 atbilstošā vērtība būs $2 * XAV G$. Šai vērtībai no pieejamā komplekta nepieciešams atlasīt tādus rezistorus, kuru summa dod mazāko novirzi no $2 * XAV G$. Kodam 3 atbilstošā vērtība būs $3 * XAV G$, kuram nepieciešams atrast rezistoru kombināciju, kas dos mazāko iespējamo kļūdu. Un tā tālāk.

Ir redzams, ja kodam 1 ir septiņi varianti, no kuriem tiek izvēlēts labākais. Kodam 2 šis skaits ir 7!

$$C_7^2 = \frac{7!}{2! * (7-2)!} = 21,$$

bet maksimālajam kodam 7 variantu nav. Tāpēc, lai palielinātu izvēles iespējas, radās priekšlikums pievienot “liekos” strāvas avotus.



16.attēls OEM algoritms (1- mērīšana un šķirošana, 2- izvēle, 3- pirmās kārtas salikšana, 4- izvēle, 5- dubultā salikšana)

Ja pieņem, ka ir pieejami papildus rezistori (strāvas avoti) un septiņu vietā var izmantot astoņus, tad iespējamo kombināciju skaits strauji pieaug. Tādējādi augstākajam (7) kodam kombināciju skaits ir:

$$C_8^7 = \frac{8!}{7! \cdot (8-7)!} = 8$$

Realitātē OEM tehnoloģija izmanto lielāku skaitu strāvas avotu no kuriem, izmantojot zināmo attiecību, tiek atlasītas labākās kombinācijas, kur divkārtai precizitātes palielināšanai nepieciešams elementu skaita palielinājums kvadrātā. Piemēram, ja ir nepieciešams realizēt trīs augstākās izlādes 20-izlāžu matricā un ja ir pieejami elementi ar 10-izlāžu precizitāti (ar normālo sadalījumu), tad nepieciešams vairāk kā 128 elementu.

Papildus iepriekš minētajam, struktūrā jābūt arī iespējai reālajā laikā veikt elementu mērījumus un pastāvīgi ieviest kodu kombināciju korekcijas (iespējamo noviržu kompensēšanai). Tāda pieeja prasa ne tikai lielu skaitu strāvas elementu, bet arī lielu ciparu daļas apjomu, kas nepieciešams vajadzīgās kombinācijas dešifrēšanai, mērīšanai un jaunu optimālu kombināciju izvēlei.

Šī pētījuma rezultātā kā risinājums ir izvēlēts – katrai no 4 izlādēm, kuru pilnīgai dešifrēšanai nepieciešami 15 strāvas avoti, tiek izmantots viens papildus strāvas avots, t.i., pie pieejamiem 4 izlāžu 16 avotiem, pašā vienkāršākajā gadījumā, ir iespējami:

1. kodam 1 - 16 varianti,

2. kodam 2:

$$C_{16}^2 = \frac{16!}{2! \cdot (16-2)!} = 120 \text{ varianti,}$$

3. kodam 3:

$$C_{16}^3 = \frac{16!}{3! \cdot (16-3)!} = 560 \text{ varianti,}$$

.....

15. kodam 15:

$$C_{16}^{15} = \frac{16!}{15! \cdot (16-15)!} = 16 \text{ varianti.}$$

Papildus tam, šī vienotā sekcijas strāva var tikt izveidota kā summa no visām zemāko sekciju strāvām, vai arī precizēta ar papildus zemākajām DAC izlādēm. Tas dod vēl lielāku optimālā risinājuma izvēles iespēju.

Būtiskākais – lēmums par dotā ieejas koda izejas strāvas veidošanas metodi tiek pieņemts vadības procesorā atkarībā no iepriekšējiem un sekojošiem kodiem.

5. Kontrolera CS topoloģija

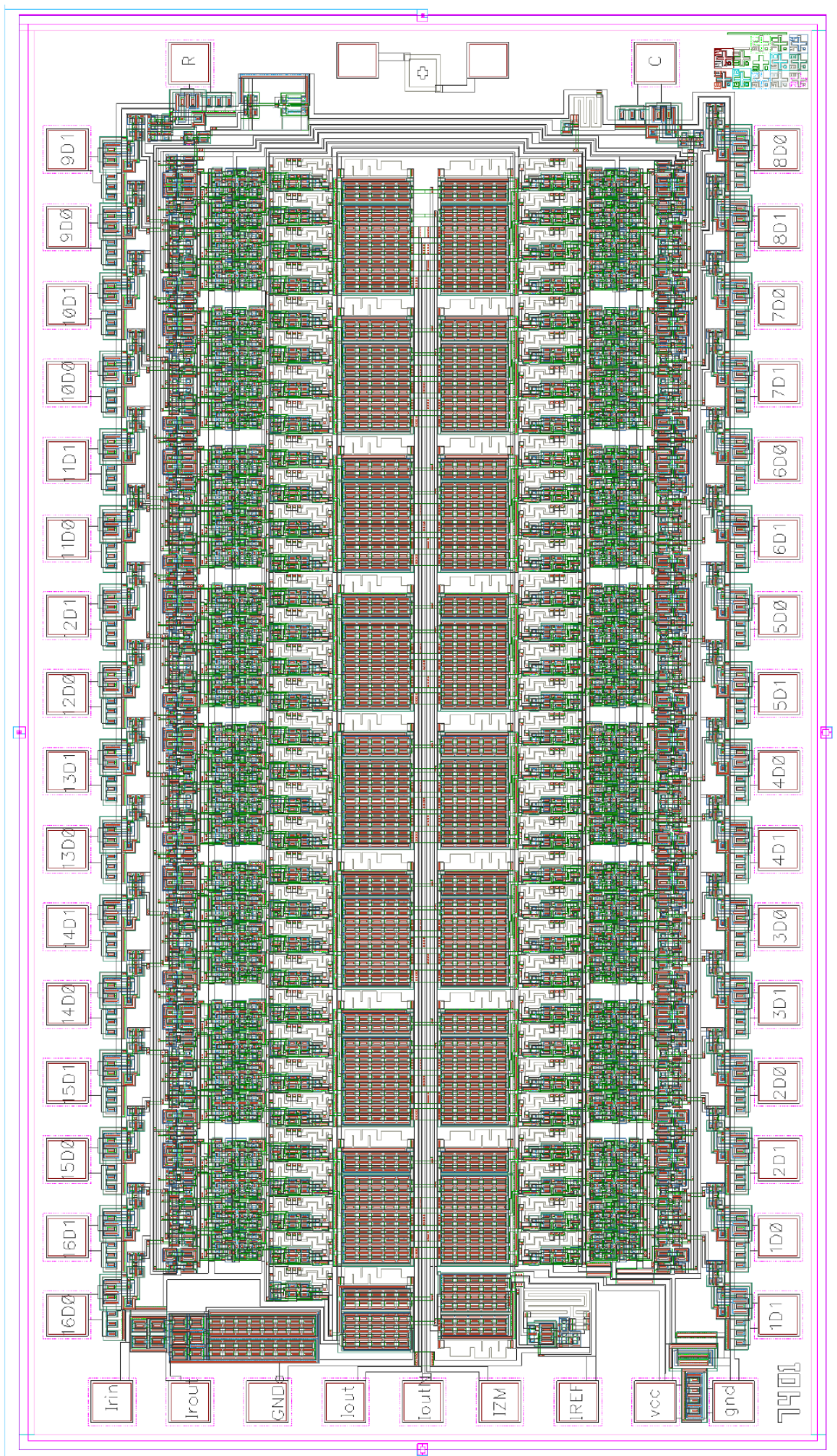
Šī pētījuma laikā tika izstrādāta kontrolera CS topoloģija. Kontrolers tiks izgatavots pēc CMOS tehnoloģijas. Tam būs 43 funkcionālas izejas (divas papildus - lāzera piedzīšanas iestatījumiem). Tas būs paredzēts hibrīdai montēšanai. Pielikumā pievienotajos attēlos ir redzams kontrolera kopskats un svarīgāko mezglu fragmenti.

6. Secinājumi

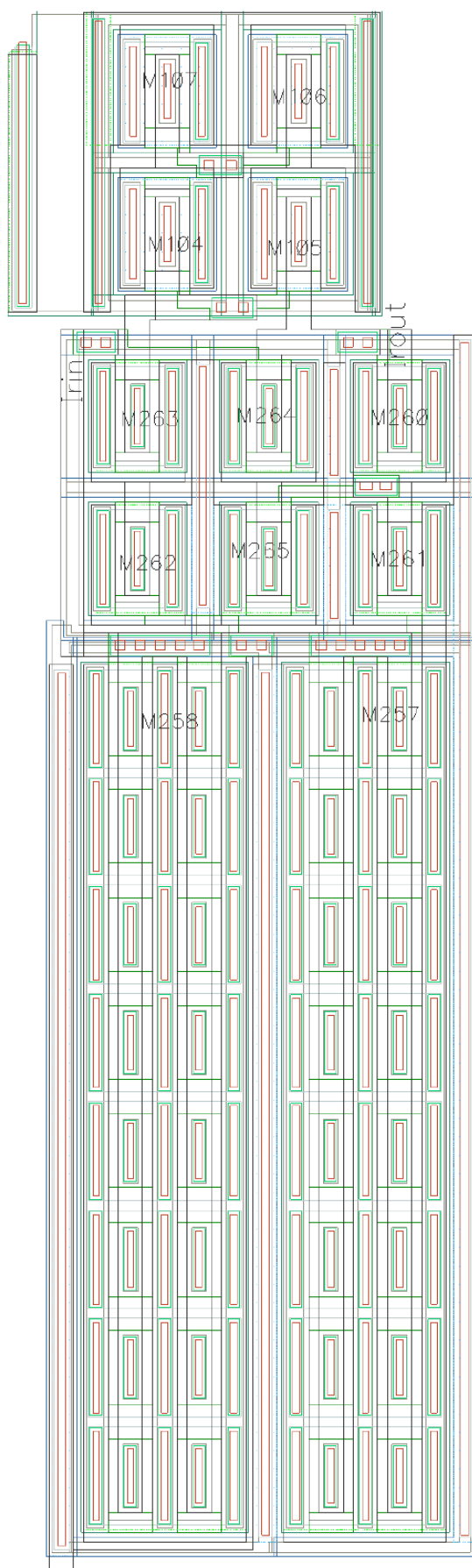
Šajā pētījuma posmā tika izstrādāts un sagatavots ražošanai kontrolers CS. Uz tā bāzes var tikt izveidots principiāli jauns Audio-DAC.

Piedāvātā metode ļauj ar programmatūras palīdzību, reālajā laikā, izmainīt izejas strāvas veidošanas metodi, atkarībā no iepriekšējiem un sekojošiem kodiem. Tas ļauj optimizēt iespējamās pārslēgšanās trokšņus un izejas strāvas iestatīšanas laiku.

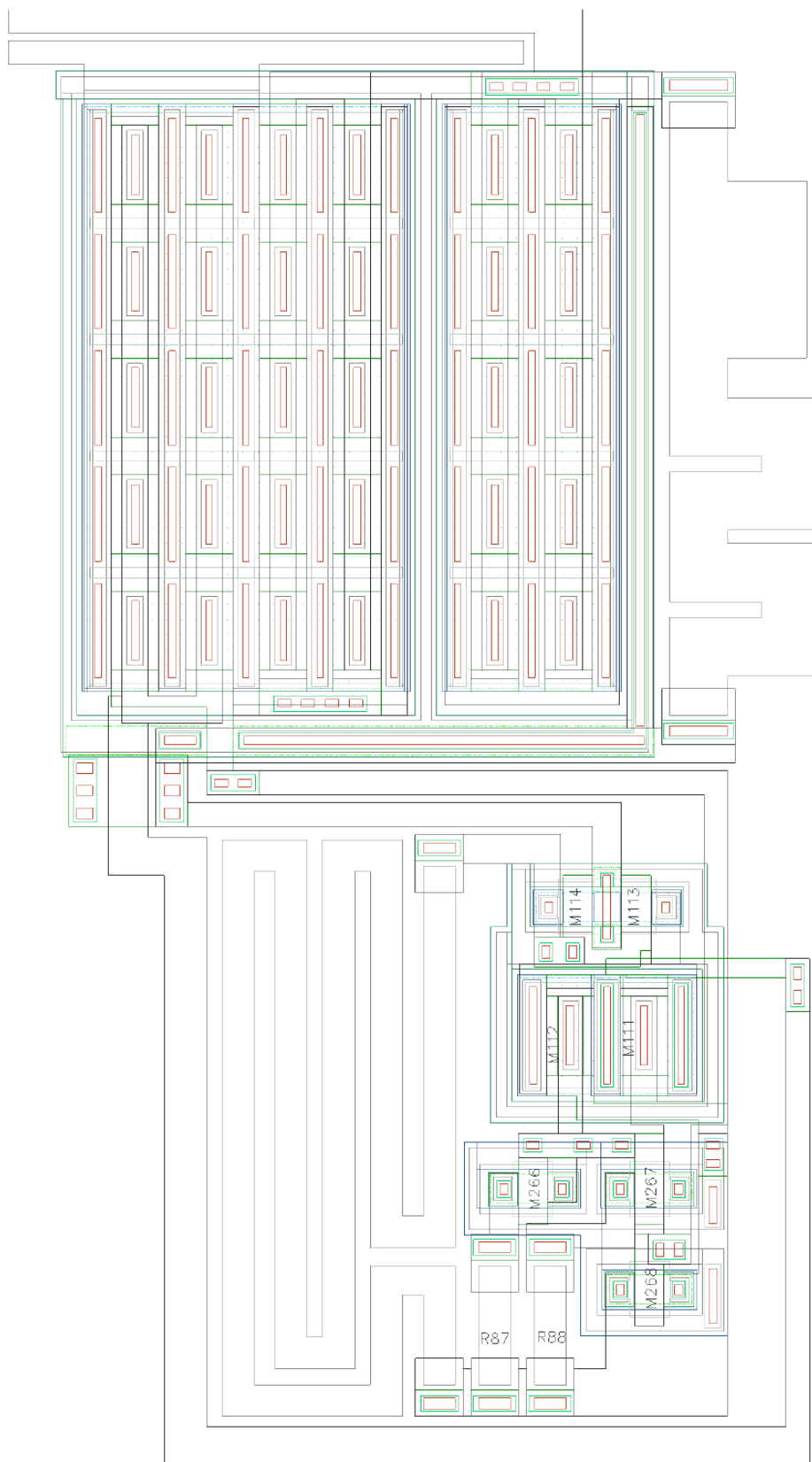
Pētījuma nākamajā posmā uz kontrolera CS bāzes tiks veiktas jaunā Audio-DAC eksperimentālās izstrādes.



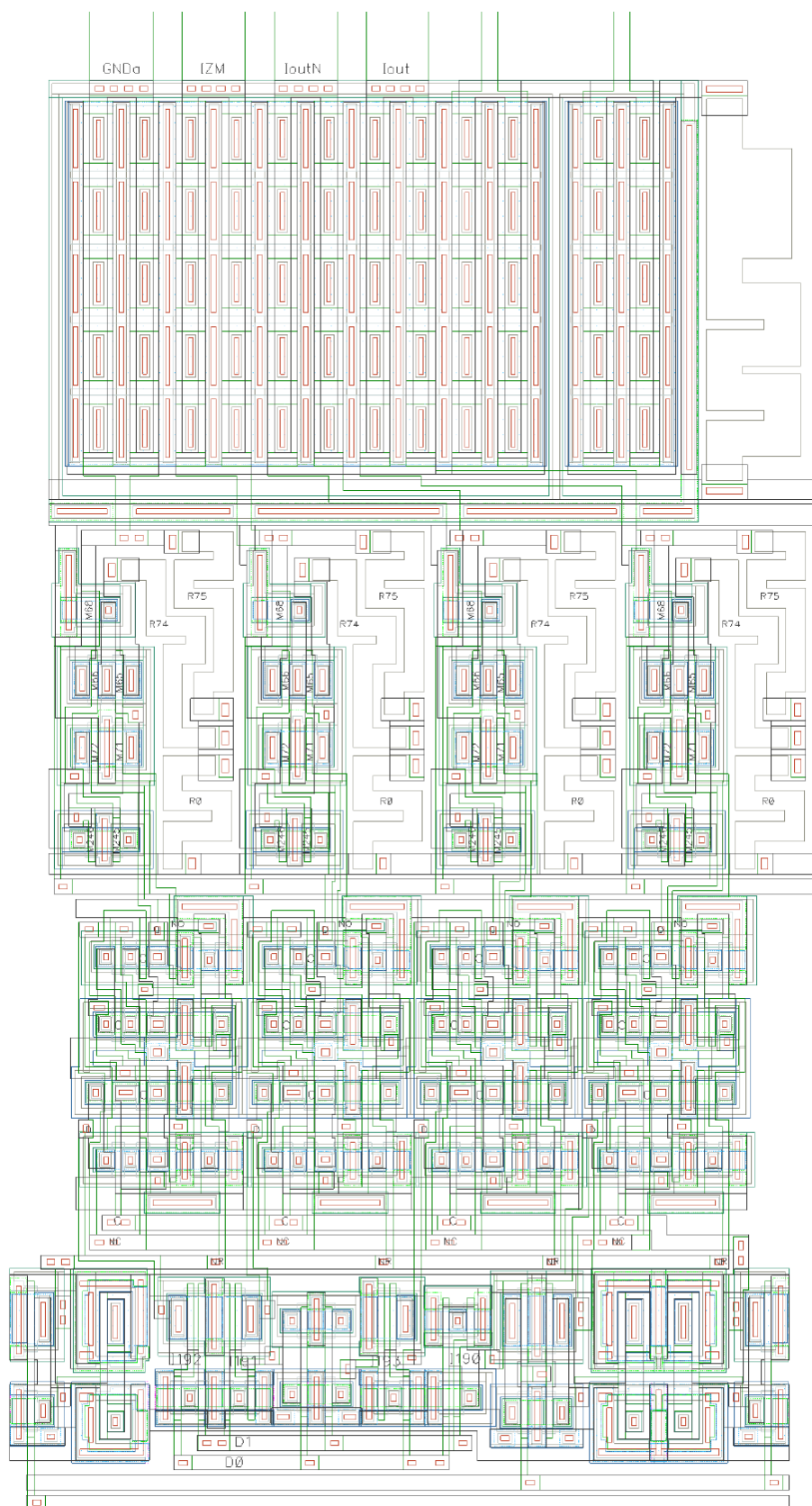
17. attēls CS kontrolera kopskats



18.attēls Current mirror (strāvu spogulis)



20. attēls Pastiprinātājs un sprieguma avots



21.attēls Pārslēdzēji – galvenā sekcija